

---

(19) **KOREAN INTELLECTUAL PROPERTY OFFICE**

---

**KOREAN PATENT ABSTRACTS**

(11)Publication number: **1020020085290**  
(43)Date of publication of application: **16.11.2002** **A**

---

(21)Application number: **1020010024715**

(71)Applicant: **SAMSUNG ELECTRO-MECHANICS CO., LTD.**

(22)Date of filing: **07.05.2001**

(72)Inventor: **PARK, SEONG YEOL**

(51)Int. Cl **H01G 4/00**

---

**(54) METHOD FOR FABRICATING MULTI-LAYER CERAMIC ELEMENT****(57) Abstract:**

PURPOSE: A method for fabricating a multi-layer ceramic element is provided to enhance a combination force between each layer and improve productivity by identifying aligning errors of each layer.

CONSTITUTION: A plurality of guide holes is formed on four edges of the first sheet. A plurality of index lines is formed on the first sheet. The second sheet is laminated on the first sheet. A plurality of guide holes is formed on four edges of the second sheet. A plurality of index lines is formed on the second sheet. An alignment hole is formed on the first index line of the index lines. The third sheet is formed on the second sheet. A plurality of guide holes is formed on four edges of the third sheet. A plurality of index lines is formed on the third sheet. An alignment hole is formed on the second index line of the index lines. The fourth sheet(24) is formed on the third sheet. A plurality of guide holes(24b) is formed on four edges of the fourth sheet(24). A plurality of index lines(24d) and a plurality of alignment holes(24g) are formed on the fourth sheet (24).

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20031121)

Patent registration number (1004112530000)

Date of registration (20031202)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

Date of extinction of right ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01G 4/00

(11) 공개번호 특2002-0085290  
(43) 공개일자 2002년11월16일

(21) 출원번호	10-2001-0024715
(22) 출원일자	2001년05월07일
(71) 출원인	삼성전기주식회사
	경기 수원시 팔달구 매탄3동 314번지
(72) 발명자	박성열
	경기도군포시금정동871-11다산아파트317-1202
(74) 대리인	손원, 전준향

심사청구 : 있음

(54) 다층 세라믹 소자의 제조방법

요약

본 발명은 다층 세라믹 소자의 제조에 있어서 제조공정 도중에 각 층간의 얼라임먼트 들어짐에 의하여 발생하는 불량유무를 확인할 수 있어 각 층간의 결합을 더 정확하게 하고, 불량률 감소로 인한 생산성향상을 도모할 수 있는 다층 세라믹 소자의 제조방법을 제공하기 위한 것으로서, n개의 시트를 적층하여 다층 세라믹 소자를 제조하는 방법에 있어서, 적층될 다수의 시트상의 패턴사이에 절단위치를 나타내는 인덱스 라인  $P_{i,j}$  (i는 시트의 층번호로 1~n(n은 10이상의 정수)이고, j는 시트상에서 인덱스라인의 번호로 1~m(m은 10이상의 정수)이다)를 상기 다수의 시트상의 패턴 주변부에 각각 순차적으로 표시하고, 1부터 i번째의 각 시트의 인덱스라인에 상기 인덱스라인이 홀의 직경위치에 오도록 편칭하여 i-1개만큼의 얼라임먼트홀을 형성한 후, 상기 n개의 시트를 1부터 i번째층까지 차례로 적층하고, 상기 i번째 시트의 상기 얼라임먼트 홀의 외부에 노출된 인덱스라인  $P_{i,j}$ 과 상기 i번째 시트의 상기 얼라임먼트홀을 통하여 노출된 상기 i-1번째 시트의 상기 얼라임먼트홀이 형성되지 않은 상기 인덱스라인  $P_{i-1,j}$ 가 일직선으로 연장되도록 조절하는 단계로 다층 세라믹 기판을 형성하여, 불량률을 감소시키기 위한 것이다.

도면

도4

색인어

적층 세라믹 소자, 시트, 인덱스라인, 가이드홀, 얼라임먼트홀

명세서

도면의 간단한 설명

도 1은 종래 다층 세라믹 소자의 각 층별 구조를 보이는 개략도이다.  
도 2a~d는 본 발명의 실시예에 따라서 제조되는 다층 세라믹 소자의 각 층별 구조를 보인 시트 구조도이다.  
도 3a~3d는 본 발명의 다른 실시예에 따라서 제조되는 다층 세라믹 소자의 각 층별 구조를 시트 구조도이다.  
도 4는 상기 도 2a~d에 도시된 실시예에 따라서 제조된 다층 세라믹 소자의 완성상태를 보이는 단면도이다.  
도 5는 상기 도 3a~3c에 도시된 실시예에 따라서 제조된 다층 세라믹 소자의 완성상태를 보이는 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 여러장의 시트를 차례로 적층하여 제조되는 다층 세라믹 소자의 제조방법에 관한 것으로서, 보

다 상세하게는 제조과정중에도 적용되는 상,하부 시트간의 배열이 틀어짐에 따른 불량유무를 확인할 수 있고, 그에 의하여 상,하부시트간의 패턴결합을 더 정확하게 할 수 있는 다층 세라믹 소자의 제조방법에 관한 것이다.

세라믹 소자는 벌크형태, 즉 프레스를 이용하여 단일화한 형태를 만들어 조립하거나 여러 장의 시트에 각각의 패턴을 인쇄하고, 상기 패턴이 인쇄된 각 시트를 차례로 적층하는 형태로 제조되고 있다.

상기 방법중에서, 적층기술을 이용하여 세라믹 소자의 제조는 제조할 소자를 몇가지 부분으로 나누어, 두 개 이상의 시트에 해당 소자의 부분별 패턴을 인쇄한다. 그리고, 상기와 같이 소정 패턴이 인쇄된 시트를 차례로 쌓은 후 압착하여 형성한 후, 각 시트에 형성된 패턴들은 비아홀을 통해 상,하부층의 패턴과 전기적으로 결합시키는 단계로 이루어진다.

즉, 원하는 세라믹소자의 전체를 몇개의 층으로 분리한 후, 여러개의 시트상에 각 층별로 해당하는 회로를 금속전극인쇄로 형성한다. 그 다음 인쇄된 각각의 시트를 순서대로 적층하는데, 이때, 적층의 기준은 미리 각 시트의 동일한 곳에 형성된 가이드홀을 적층지그에 만들어져 있는 가이드핀에 맞추어 꼽는 것이다. 순서대로 일정한 압력에 의해 눌러진 시트는 일체형의 소자로 완성된다.

도 1은 종래의 방법에 의하여 세라믹 소자를 적층하는 경우를 보인 것으로서, 세라믹 소재로 된 시트(1a, 1b)상에 각각 설계된 상하부 패턴(1c, 2c)을 인쇄한다. 이때, 생산성을 높이고 제조공정을 자동화하기 위하여, 하나의 그린시트상에는 다수의 세라믹소자를 제조할 수 있도록 동일한 패턴이 다수개 동시에 인쇄된다.

이때, 상기 시트(1a, 1b)상에는 패턴(1c, 2c)이 인쇄되지 않는 부분에 적층시 위치를 잡아주기 위하여 가이드홀(1b)이 형성된다. 상기 도 1에서는 패턴이 인쇄되지 않는 시트(1a, 1b)의 가장자리중 네개의 모서리에 가이드홀(1b)이 각각 형성된다.

따라서, 상기 가이드홀(1b)을 적층지그상에 구비된 가이드핀(도시생략)에 끼워 각 시트간의 위치를 고정시켜 주게 된다.

상기 상,하부시트(1a, 2a)상에 인쇄된 전극패턴들은 비아홀을 통하여, 인접 시트상의 패턴과 전기적으로 연결되어, 설계된 특성을 갖게 된다. 그리고, 이러한 상,하부시트간의 전극패턴을 전기적으로 연결하는 비아홀들이나 상,하부 시트상의 전극의 위치가 틀어지면, 해당 소자의 전기적인 특성값이 바뀌고, 이는 제품의 불량을 나타낸다.

그런데, 문제는 여러 시트의 적층에 따라 여러가지 변수에 의해 얼라이먼트가 틀어질 수 있다는 것이다.

상술한 바와 같이, 가이드홀만을 이용한 종래 방법으로는 작업중간에 틀어지는 것을 확인할 수 없기 때문에, 적층공정이 끝난 후에, 절단부위를 표시한 인덱스라인을 따라 상기 적층시트를 절단하여 그 단면을 조사하여 얼라이먼트가 잘 맞았는지를 확인하고, 이때, 그 단면상에 일부 전극이 노출되어 있으면 얼라이먼트가 틀어진 것으로 판단하여 제품 전부를 버려야 한다는 문제점이 발생한다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 문제점을 해결하기 위하여 안출된 것으로서, 그 목적은 다층 세라믹 소자의 제조에 있어서 제조과정 도중에 각 층간의 얼라이먼트 틀어짐에 의하여 발생하는 불량유무를 확인할 수 있어 각 층간의 결합을 더 정확하게 하고, 불량을 감소로 인한 생산성향상을 도모할 수 있는 다층 세라믹 소자의 제조방법을 제공하는데 있다.

#### 본 발명의 구성 및 작용

본 발명은 상술한 목적을 달성하기 위한 구성수단으로서, n개의 시트를 적층하여 다층 세라믹 소자를 제조하는 방법에 있어서,

적층될 다수의 시트상의 패턴사이에 절단위치를 나타내는 인덱스라인  $P_{i,j}$  (i는 시트의 층번호로 1~n(n은 1 이상의 정수)이고, j는 시트상에서 인덱스라인의 번호로 1~m(m은 10이상의 정수)이다)을 상기 다수의 시트상의 패턴 주변부에 각각 순차적으로 표시하는 단계;

1부터 i번째의 각 시트의 인덱스라인에 상기 인덱스라인이 홀의 직경 위치에 오도록 편향하여 i-1개만큼의 얼라인먼트홀을 형성하는 단계;

상기 n개의 시트를 1부터 i번째층까지 차례로 적층하는 단계; 및

상기 i번째 시트의 상기 얼라인먼트홀의 외부에 노출된 인덱스라인  $P_{i,j}$ 과 상기 i번째 시트의 상기 얼라인먼트홀을 통하여 노출된 상기 i-1번째 시트의 상기 얼라인먼트홀이 형성되지 않은 상기 인덱스라인  $P_{i-1,j}$ 가 일직선으로 연장되도록 조절하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 다층 세라믹 소자의 제조방법의 구성 및 작용에 대하여 상세하게 설명한다.

도 2는 본 발명의 첫번째 실시예에 따른 다층 세라믹 소자의 제조과정을 설명하기 위한 각 층별 시트의 구조를 개략적으로 나타낸 것으로서, 도 2의 (A)는 가장 최하층에 적층되는 제1시트(21)를 도시한 것이고, 도 2의 (B)는 두번째로 적층되는 제2시트(22)를 도시한 것이고, 도 2의 (C)는 세번째로 적층되는 제2시트(23)를 도시한 것이고, 도 2의 (D)는 마지막으로 최상층에 적층되는 제n시트(24)를 나타낸 것이다. 상기에서, n은 적층되는 시트의 수로서 10이상의 자연수이다.

상기 도 2의 (A)에 나타난 바와 같이, 본 발명의 첫번째 실시예에서는 맨 마랫층에 존재하게 되는 제1시트(21)에는 패턴들이 인쇄되는 영역을 제외한 영역, 즉 시트(21)의 가장자리를 따라서 네 모서리에 가이드홀(21b)이 형성되고, 각 패턴사이의 절단위치를 표시하는 인덱스라인(21d)이 패턴이 인쇄되는 영역을

제외한 시트의 가장자리 네 부분에 각각 표시된다. 즉, 맨 처음에 적용되는 제1시트(21)는 종래의 적층 시트와 동일한 구조를 갖는다.

그 다음, 상기 제1시트(21)의 상부에 적용되는 제2시트(22)는 도 2의 (B)에 도시된 바와 같이, 네 모서리 부분에 각각 형성된 가이드홀(22b)과, 가장자리 부분에 표시되어 패턴사이의 절단선을 나타내는 다수의 인덱스라인(22d)과, 상기 다수의 인덱스라인(22d)중 시트의 모서리를 기준으로 첫번째 인덱스라인상에 형성된 얼라이먼트홀(22g)을 구비한다.

그리고, 상기 제2시트(22)의 상부에 적용되는 제3시트(23)는 상기 시트들과 마찬가지로 시트상의 패턴이 형성되지 않는 네개의 모서리상에 형성되는 가이드홀(23b)과, 패턴이 형성영역외의 가장자리 부분에 표시되어 패턴사이의 절단위치를 표시하는 다수의 인덱스라인(23d)을 구비하고, 상기에 더하여, 시트를 모서리를 기준으로 첫번째 인덱스라인위치와 두번째 인덱스라인위치에 편칭에 의해 형성된 얼라이먼트홀(23g)을 구비한다.

상술한 바와 같은 방법에 의하여, n번째로 적용되는 제n시트(24)상에는 패턴영역외에 가이드홀(24b)과 인덱스라인(24)에 더하여, 상기 기준위치로부터 제n-1번째 인덱스라인까지를 편칭하여 된 다수의 얼라이먼트홀(24g)이 형성된다.

즉, 적층순서에 따라서, 첫번째 시트는 얼라이먼트홀이 형성되지 않으며, 두번째 시트는 첫번째 인덱스라인을 편칭하여 하나의 얼라이먼트홀을 형성하고, 세번째 시트는 상기 두번째 시트에 형성된 얼라이먼트홀과 동일한 위치인 첫번째 인덱스라인과 그 다음에 위치한 두번째 인덱스라인을 편칭하여 두개의 얼라이먼트홀을 형성하고, n번째 시트는 1 ~ n-1번째 인덱스라인을 모두 편칭하여 n-1개의 얼라이먼트홀을 형성한다.

따라서, 가장 외부에 적용되는 제n시트(24)는 도 2의 (D)에 도시된 바와 같이, 기준위치(왼쪽 모서리)를 기준으로 맨끝에 위치한 인덱스라인(24d)만을 제외하고 나머지는 n-1개의 얼라이먼트홀(24g)이 형성된다.

상기와 같이, 형성된 제1~제n시트들을 차례로 적층하였을 때 정상상태라면, 도 4에 도시된 바와 같이, 첫번째 얼라이먼트홀에서는 제1시트의 인덱스라인이 보이게 되고, 두번째 얼라이먼트홀에서는 제2시트의 인덱스라인이 보이게 되며, 세번째 얼라이먼트홀에서는 제3시트의 인덱스라인이 보이게 되며, 제n-1번째 얼라이먼트홀에서는 제n-1시트의 인덱스라인을 볼 수 있다.

따라서, 적층도중에도 각각의 얼라이먼트홀을 통해 인덱스라인이 보이지 않을 경우, 상,하부시트들이 바르게 적용되지 않은 것이 된다.

이상 설명한 첫번째 실시예에서는 적용된 시트의 한쪽 면(즉, 상부면)에서만 불량유무의 확인이 가능하며 그 반대쪽 면에서는 불량유무를 확인할 수 없다. 이를 위하여, 상기 얼라이먼트홀의 배열을 달리하여 양측에서 모두 불량유무의 확인이 가능하도록 할 수 있다.

도 3은 본 발명의 두번째 실시예에 따라서 적용 세라믹 소자를 제조하기 위한 각 층별 시트의 구조를 보인 것으로, 도 3의 (A)는 가장 먼저 적용되는 제1시트(31)를 도시한 것이고, 도 3의 (B)는 두번째로 적용되는 제2시트(32)를 도시한 것이며, 도 3의 (C)는 n번째로 적용되는 제n시트(33)를 도시한 것이다.

상기 도시된 바와 같이, 본 발명의 두번째 실시예에서는 각 층의 시트상의 인덱스라인을 편칭하여 얼라이먼트홀을 형성시키는데, 이때, 소정의 위치(예를 들어, 한쪽 모서리)를 기준으로 적층순서(n)에 따라서 n번째 인덱스라인위치에서는 소정 형태(원 또는 사각형, 형태는 관계없음)로 검정색 마킹한 후, 상기 마크 내에 마킹사이즈보다 작은 구멍을 형성하여 된 확인용홀을 형성한다.

즉, 첫번째로 적용되는 제1시트(31)에서는 도 3의 (A)에 도시한 바와 같이, 시트상의 패턴이 인쇄되지 않는 영역에 형성되어 적용시그의 가이드핀에 결합되는 가이드홀(31b)과, 상기 시트상에 인쇄된 패턴의 절단부를 표시하는 다수의 인덱스라인(31d)과, 상기 인덱스라인상에 편칭에 의해 형성되는 다수의 얼라이먼트홀(31f)와, 한쪽 모서리를 기준으로 첫번째 인덱스라인상에 위치한 상기 얼라이먼트홀(31f)보다 작은 사이즈이고 그 주변부가 검정색으로 마킹된 확인용홀(31e)이 형성된다.

그리고, 두번째로 적용되는 제2시트(32)는 도 3의 (B)에 도시한 바와 같이, 기준위치에서 두번째 인덱스라인상에 그 주변부가 검정색으로 마킹된 확인용홀(32e)을 형성하고, 상기 두번째 인덱스라인을 제외한 나머지 인덱스라인에는 상기 확인용홀(32e)보다 큰 얼라이먼트홀(32f)을 형성한다.

세번째로 적용되는 제3시트(33)는 마찬가지로 방식으로, 기준위치에서 세번째 인덱스라인상에 그 주변부가 검정색으로 마킹된 확인용홀(33e)을 형성하고, 상기 세번째 인덱스라인을 제외한 나머지 인덱스라인상에 상기 확인용홀(33e)보다 큰 얼라이먼트홀(33f)을 형성한다.

상기에서, 확인용홀(33e)의 주변에 검정색을 마킹하는 것은, 상기 확인용홀(33e)이 더 눈에 잘 보이도록 하기 위한 것이다. 상기 도면에서는 시트에 소정의 두께가 있는 것으로 그려져 있지만, 실제로는 시트는 거의 두께가 없는 것으로 뒷면에서 상기 검정색 마크가 비치게 된다. 결국 검정색마크가 원래의 형태로 보이면 정상인것으로 판단하고, 검정색 마크의 일부가 보이는 경우는 불량으로 판단할 수 있다.

따라서, 상기와 같이 적용된 시트는 도 5에 도시한 바와 같이, 첫번째 인덱스라인위치에서는 맨 아래에 적용된 제1시트를 제외한 그 상부에 구멍이 형성되고, 두번째 인덱스라인위치에서는 두번째로 적용된 제2시트를 제외한 상하부로 구멍이 형성되고, 세번째 인덱스라인 위치에서는 세번째로 적용된 제3시트의 상하부로 구멍이 형성되어 있어, 상측에서 봤을때, 검정색의 마크가 보이는 지의 여부에 따라서 불량여부를 판단할 수 있으며, 하측에서는, 검정색 마킹 또는 확인용홀이 정확하게 보이는지를 확인하여 불량여부를 판단할 수 있게 된다.

#### 발명의 효과

본 발명은 상술한 바와 같이, 다층 세라믹 소자의 각 시트마다 동일한 위치에 얼라이먼트홀을 형성함에

의하여, 제조중이라도 적층이 제대로 이루어졌는지를 확인할 수 있으며, 더하여, 적층불량에 의한 위치를 어긋등의 문제가 발생한 경우, 즉시 해당 시트들을 폐기함으로써, 불량발생을 줄이고, 생산성 및 불필요한 낭비를 줄일 수 있는 우수한 효과가 있다. 더하여, 본 발명은 상기 얼라이먼트홀에 더하여 검정색 마킹되고 얼라이먼트홀보다 작은 구멍으로 된 확인용 홀을 각 층마다 다른 위치에 형성함으로써, 다층 세라믹 소자의 양쪽 방향에서 불량여부를 확인할 수 있는 우수한 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

n개의 시트를 적층하여 다층 세라믹 소자를 제조하는 방법에 있어서,

적층될 다수의 시트상의 패턴사이에 절단위치를 나타내는 인덱스라인  $P_{i,j}$  (i는 시트의 층번호로 1~n(n은 1 이상의 정수)이고, j는 시트상에서 인덱스라인의 번호로 1~m(m은 10이상의 정수)이다)를 상기 다수의 시트상의 패턴 주변부에 각각 순차적으로 표시하는 단계;

1부터 i번째의 각 시트의 인덱스라인에 상기 인덱스라인이 홀의 직경위치에 오도록 편칭하여 i-1개만큼의 얼라이먼트홀을 형성하는 단계;

상기 n개의 시트를 1부터 i번째층까지 차례로 적층하는 단계; 및

상기 i번째 시트의 상기 얼라이먼트홀의 외부에 노출된 인덱스라인  $P_{i,j}$ 과 상기 i번째 시트의 상기 얼라이먼트홀을 통하여 노출된 상기 i-1번째 시트의 상기 얼라이먼트홀이 형성되지 않은 상기 인덱스라인  $P_{i-1,j}$ 가 일직선으로 연장되도록 조절하는 단계를 포함하는 것을 특징으로 하는 다층 세라믹 소자 제조 방법.

##### 청구항 2

제 1항에 있어서, 상기 얼라이먼트홀을 형성하는 단계는 상기 인덱스라인  $P_{i,1}$ 로부터 상기 인덱스라인  $P_{n,m}$ 까지 순차적으로 편칭하여 수행되는 것을 특징으로 하는 다층 세라믹 소자 제조 방법.

##### 청구항 3

제 1 또는 제 2 항에 있어서, 상기 얼라이먼트홀을 형성하는 단계는 인덱스라인보다 작은 직경을 갖는 얼라이먼트홀을 형성하는 것을 특징으로 하는 다층 세라믹 소자 제조 방법.

##### 청구항 4

n개의 시트를 적층하여 다층 세라믹 소자를 제조하는 방법에 있어서,

적층될 다수의 시트상의 패턴사이에 절단위치를 나타내는 인덱스라인  $P_{i,j}$  (i는 시트의 층번호로 1~n(n은 10이상의 정수)이고, j는 시트상에서 인덱스라인의 번호로 1~m(m은 10이상의 정수)임)를 상기 다수의 시트상의 패턴 주변부에 각각 순차적으로 표시하는 단계;

제 i시트에서 i번째 인덱스라인  $P_{i,i}$ 를 제외한 모든 인덱스라인을 편칭하는 단계; 및

제 i번째 시트에서 i번째 인덱스라인  $P_{i,i}$  상에 소정 형태로 유색의 마킹을 형성하는 단계로 이루어져,

하나 이상의 시트를 적층 후, 시트의 상,하부측에서 얼라이먼트홀을 통해 마킹을 확인하여 얼라이먼트의 불량여부를 확인할 수 있는 것을 특징으로 하는 다층 세라믹 소자 제조 방법.

##### 청구항 5

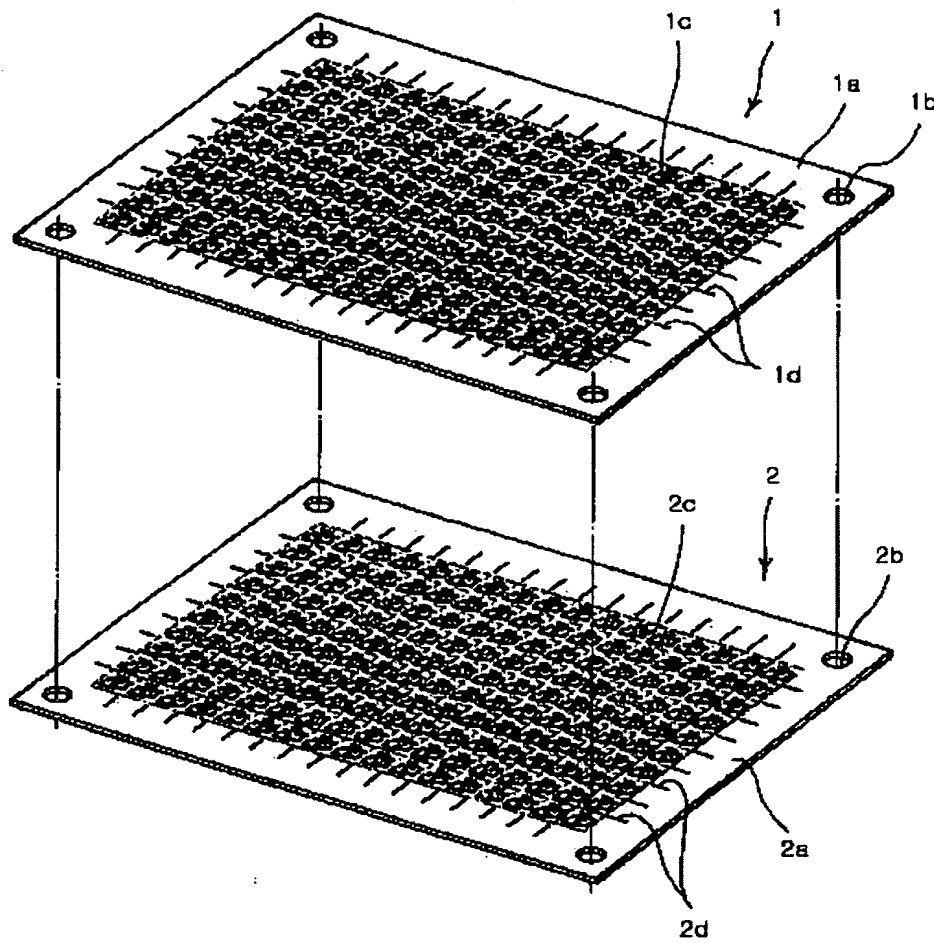
제 4 항에 있어서, 상기 얼라이먼트홀을 형성하는 단계는

제 i번째 시트마다, i번째 인덱스라인  $P_{i,i}$ 에 유색으로 마킹을 형성한 후, 상기 마킹내에 얼라이먼트홀보다 작은 구멍을 형성하는 것을 특징으로 하는 다층 세라믹 소자 제조 방법.

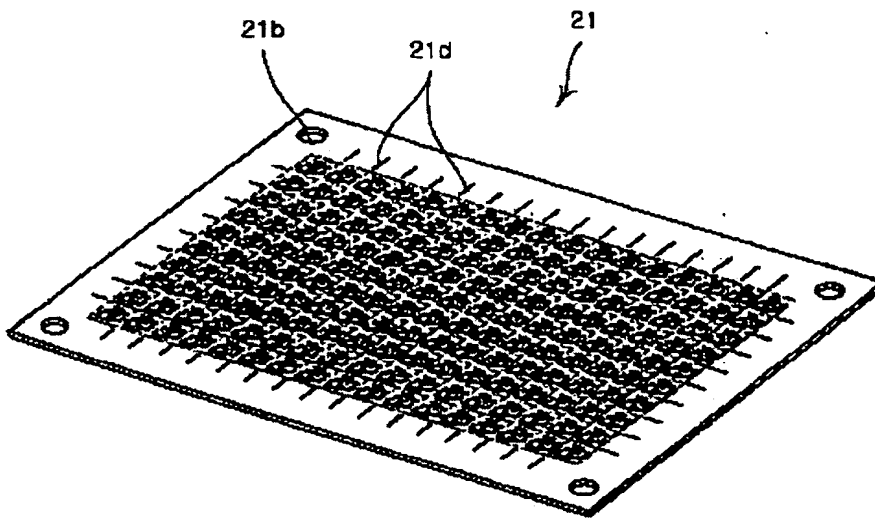
도면

BEST AVAILABLE COPY

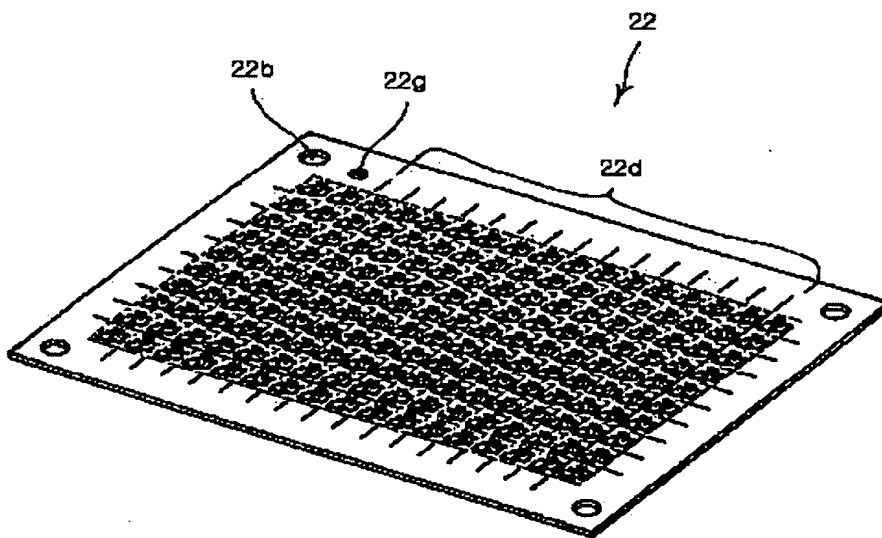
도 1



도 2a



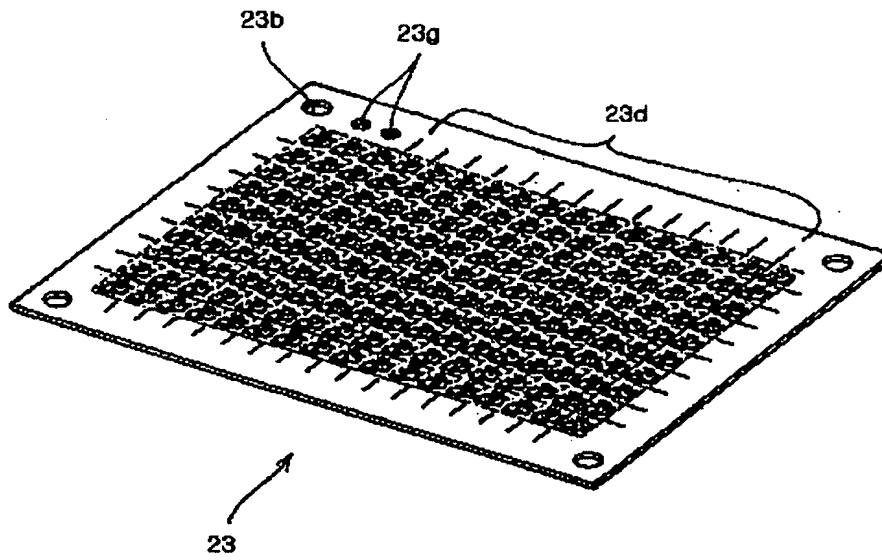
도 2b



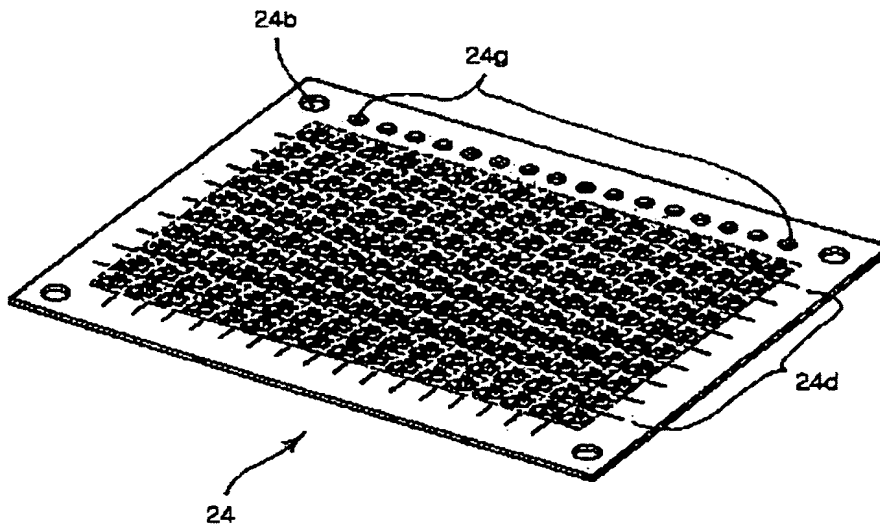


# BEST AVAILABLE COPY

도 23

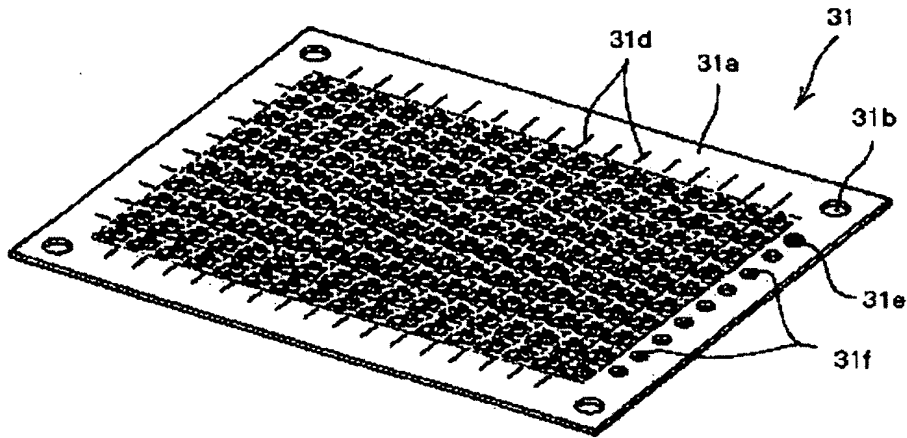


도 24

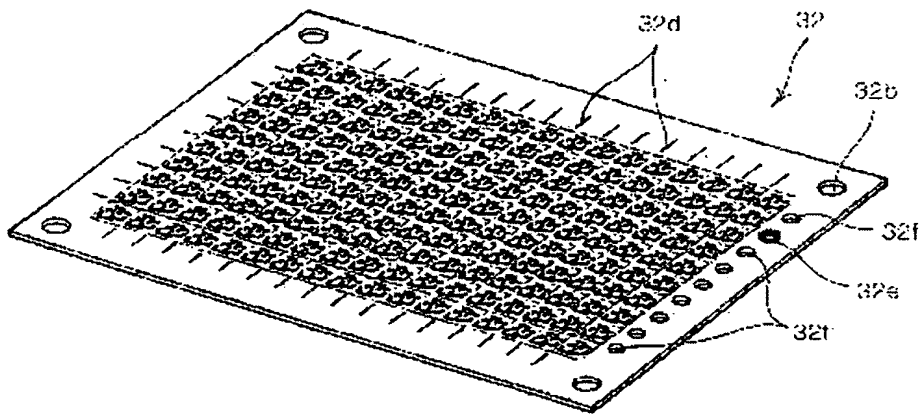


# BEST AVAILABLE COPY

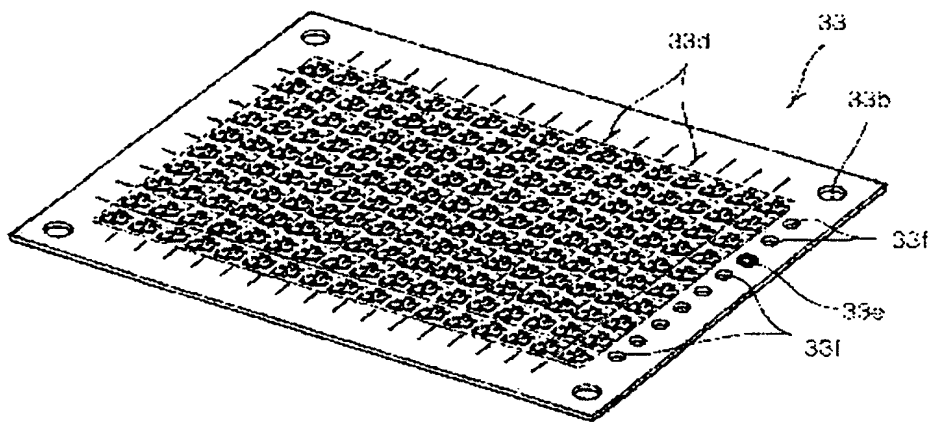
도 3a



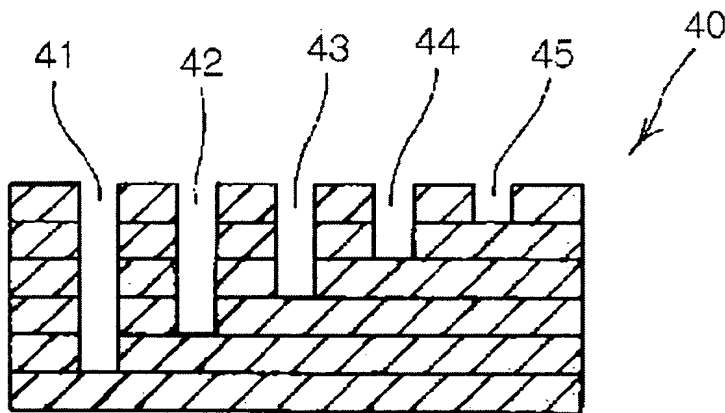
도 3b



도 33



도 34



도 5

